



# Morningside Evaluations and Consulting

## TRANSLATOR CERTIFICATION

I, Cheong-Hwan Kim, a translator fluent in the Korean language, on behalf of Morningside Evaluations and Consulting, do solemnly and sincerely declare that the following is, to the best of my knowledge and belief, a true and correct translation of the document(s) listed below in a form that best reflects the intention and meaning of the original text.

## MORNINGSIDE EVALUATIONS AND CONSULTING

C. H. Kim  
Signature of Translator

Date: August 19, 2004

Description of Documents Translated: Korean Patent Application

---

450 SEVENTH AVENUE SUITE 601 NEW YORK, NY 10123  
PHONE: (212) 904-1015 FAX: (212) 904-1025

BEST AVAILABLE COPY

Case Number: T14913

(19) Korea Patent Agency  
(12) Korea Unexamined Patent Application Publication

(51) Int. Cl.<sup>7</sup> (11) Publication Number: Patent 2002-0088554  
HO1L 21/8247 (43) Publication Date: 29 November 2002

---

(21) Application Number: 10-2001-0027290

(22) Application Date: 18 May 2001

---

(71) Applicant: Samsung Jeonja Jushik Hoesa

416 bunji Maetan 3-dong, Paldal-ku, Suwon-shi, Gyonggi-do.

(72) Inventors: Lee, JaeDuck

#1404

106-dong Wonchon Jyugong Apart,

Maedan 4-dong, Paldal-ku, Suwon-shi, Gyonggi-do.

Choe. Cheong Dal

#1002

316-dong, Dongshin Apart,

Cheonmyong maeul, Yongtong-dong, Paldal-ku, Gyonggi-do

Examination Request: Not Requested

---

(54) Flash memory cell and its construction method

---

## Abstract

This provides flash memory cell and its construction method. The cell is formed on a specified area of a semiconductor base, and it consists of an element separation film pattern, which defines its active area; a control gate, which crossover the element separation film pattern and the top of the active area; a floating gate comprising a floating gate formed by sequential layering of a lower floating gate and an upper floating gate having wider width than that of the lower gate between the control gate and the active area; and including a grooved area formed by recessing in the element separation film pattern situated between the neighboring upper floating gates.

Characteristically, the control gates extend into the grooved area. The construction method of this cell comprises: the sequential formation of a gate from oxidized film pattern and #1 conductive film pattern on a semiconductor base; the formation of a trench by etching of the

semiconductor base between the #1 conductive film patterns; the formation of the element separating film pattern by filling the trench zone at least extending to the top of the #1 conductive film pattern; #2 conductive film formation by covering the #1 conductive film pattern and the edge of the adjoining element separation film patterns; and the method includes the formation of control gate conductive film after the sequential layering of a gate interlayer insulating film and control gate conductive film; the formation of gate interlayer insulating film; the formations of control gate traversing the element separating film through the continuous patterning of #2 conductive film patterning and #1 conductive film pattern, lower floating gate, and the upper floating gate.

Representative figure  
Figure 7.

#### Disclosure

##### Brief description of the figures

Fig. 1 is a schematic diagram of a flash memory cell of a prior technology.

Fig. 2 is a cross sectional diagram of a flash memory cell of another prior technology.

Figure 3 through 6 show the cross sectional diagrams of the flash memory cells constructed according to the preferred invention examples.

Fig. 7 is a perspective view of another flash memory cell constructed according to the preferred invention examples.

##### Detailed description of invention

###### Purpose of the invention

###### Technical field of invention and prior technology

This invention pertains to a semiconductor device and its construction method, especially, it pertains to a flash memory cell and its construction method.

A unit cell of the flash memory cell is comprised from sequentially formation on an active area of a gate of oxidized film, an electrically insulated floating gate and an insulating film between the word line, comprised of a control gate and the floating gate, and the above control gate. The above flash memory cell injects electrons to the floating gate by Fowler-Nordheim tunneling or channel hot carrier or electrons are withdrawn by the above Fowler-Nordheim tunneling, and the above actions are the working principles in the changing of the potential of the floating gate. However, in a highly layered flash memory cell, the floating gate potential may become unnecessary. The causes of the unnecessary effect are the potentials of the adjoining control gates, the potential of the floating gates under the adjoining control gates, the potentials of the floating gates under a control gate, etc. Especially, the effect of threshold potential of a specified floating gate, which is situated under a control gate and in contact with the control gate, becomes problematic in the case of a multi-level cell configuration.

Fig. 1 is a perspective view of a flash memory cell constructed according a conventional method. Viewing Fig. 1, an element separating film pattern (40) was formed unidirectionally, while defining an active area, on a semiconductor base (10). A gate oxide film pattern (20) and lower floating gate (30) are formed in sequence in vertical direction between, in the vertical direction, the element separating film pattern (40) on the active area. A gate interlayer insulating film pattern (60), which is perpendicularly across the above element separating film pattern (40), and a control gate (70) are formed on the above element separating film pattern (40) and on the above lower floating gate (30). Between the above gate interlayer insulating film pattern (60) and the above lower floating gate (30), an upper floating gate was formed (50) on the front side of the lower floating gate (30) and the on the edge of the above element separating film pattern (40). At this point, the above upper floating gate (50) and the lower floating gate (30) form a floating gate. The top view of the above floating gate shows a triangular island configuration.

In a flash memory cell having the above configuration, when the specified threshold potential ( $V_{th}$ ) vary from  $-3V$  to  $2.6V$  and is below that of the same word line but the simulation showed that the change of the threshold potential of a floating gate adjoining the above specified floating gate was  $0.095V$ . In case of a multi-level cell, the gap size shown above is a problem to be avoided considering the cell level width and narrow gap for proper retrieval of the stored information.

Fig 2 is a cross sectional view of another flash memory cell constructed by another conventional method to solve the above problem. In Fig. 2 and in comparison with Fig.1, characteristically, the floating gate (31) has a vertical wall and the lower end of the control gate (61) is in contact with oxide film (21) on a semiconductor base. In other word, the top of the element separating film pattern (41) is situated lower than the bottom level of the above gate oxidized film pattern (21). Also, between the semiconductor base (11) and the above control gate (61), a zone (99) is formed by a gate interlayer insulating film (51) between the semiconductor base (11) and the above control gate (61). The result is the minimization of parasitic capacitance created between the adjoining control gates, which is an advantage.

However, problematically, the above zone (99) is liable to be damaged due to the potential difference resulted from the applied potential difference between the above control gate (61) and the above semiconductor base (11).

#### Problem to be solved by the invention

The technical tasks to be achieved by this invention is to provide a flash memory cell which minimizes the parasitic capacitance caused between the adjoining floating gates.

Other technical tasks to be achieved by this invention is to provide a flash memory cell which minimizes the parasitic capacitance caused between the adjoining floating gates by forming a recess between the adjoining floating gates and the element separating film.

#### Constitution of the invention and action

The invention flash memory cell is provided in order to attain the above-described technical tasks. The cell is formed on a specified area of a semiconductor base, and it consists of the above element separation film pattern, which defines its active area; a control gate, which crossover the above element separation film pattern and the top of the above active area; a floating gate comprising a floating gate formed by sequential layering of a lower floating gate and an upper floating gate, having wider width than that of the lower gate, between the above control gate and the above active area, and an upper with a lower floating gate; and, at least including a grooved

area formed by recessing in the element separation film pattern situated between the neighboring upper floating gates and under the above control gate. The upper floating gate has the same width as that of the above active area and the above upper floating gate has a wide width than that of the lower floating gate. Characteristically, the above control gate extends into the inner region of the above grooved area.

Preferably, the lower part of the above control gate is located below the lower part of the above lower floating gate.

Also, to achieve the other purpose of the invention, the invention provides the flash memory cell construction method utilizing a groove area formation by recessing the element separating film pattern. The construction method of the cell comprises: the sequential formation of a gate from oxidized film pattern and #1 conductive film pattern on a semiconductor base; the formation of a trench by etching of the semiconductor base between the #1 conductive film patterns; the formation of element separating pattern filling the above trench zone and at least extending to the top of the #1 conductive film pattern; the formation of #2 conductive film pattern covering the entire surface of the above #1 conductive film pattern and the edge of the above element separating film pattern in contact with the above #1 conductive film pattern; the formation of groove zone by etching the element separating film pattern between the above #2 conductive film patterns; the formation of the above control gate conductive film, after sequential formation of interlayer insulating film and control gate conductive film on the entire surface of the resulting groove zone; the formation of control gate traversing the above element separating film pattern by a sequential patterning of the above #2 conductive film pattern and the above #1 conductive film pattern; and the formation of the lower floating gate and the upper floating gate formed by layering between the above control gate and the above active area.

It is preferred that at least the lower end of the control gate, which fills the above groove zone, reaches the below the lower end of the above #1 conductive film pattern.

The preferred invention examples will be discussed with the aid of figures. However, the invention is not limited to the examples discussed and it can be specified by other configuration. The above examples are provided so as to be thorough and complete and to convey the idea thoroughly to the

workers in the filed. In the figures, the thickness of the layers and the zones are shown with exaggeration to clarify the point. Also, when a layer is described on another layer of base then the layer can be formed directly on another layer or base, or there may a third layer between them.

Figures 3 through 6 are the cross sectional views of the other flash memory cells formed by other preferred invention methods.

As shown in Fig. 3, a gate oxide film and #1 conductive film were sequentially formed on a semiconductor base (100). The formation of an anti-wear film on the above #1 conductive film was preferred. The above anti-wear film and #1 conductive film were patterned (not shown in the figure) to form an anti-wear film pattern and #1 conductive film pattern (120). As a result, the top of the above gate oxide film will be exposed in the #1 conductive film pattern (120). The above gate oxide film and semiconductor base (100) were etched, while masking the anti-wear film, to form gate oxide film pattern (110) and to form trench zone.

After forming an element separating film on a semiconductor base having the above trench zone, the entire surface was etched to form an element separating film pattern (130). For the above etching method, CMP method was preferred and, also, the use of the anti-wear film as the etching prevention film was preferred. Preferably, the above anti-wear film was removed after the formation of the above element separating film pattern (130). As the result, the above element separating film (130) fills the above trench zone and, at least, reaches to the top of the above #1 conductive film pattern (120).

Preferably, the gate oxide film pattern (110) may be formed from thermal oxidation film and, preferably, the above #1 conductive film pattern (120) was formed from polysilicon. The above element separating film pattern (130) is an oxide film and preferably, it was formed by CVD vapor deposition process. Preferably, the above anti-wear film was formed from silicon nitride film.

As shown in Fig. 4, on the above resulting configuration, #2 conductive film was formed and #2 conductive film pattern (140), which covers the above #1 conductive film pattern (120), by dry etching process. Also, the above #2 conductive film pattern (150) was formed so as to cover the edge of the above element separating film pattern (130).

The #2 conductive film pattern (140) comprises the same material as that used in #1 conductive film pattern (120), i.e., preferably, it was formed from polysilicon. Also, prior to the formation of the above #2 conductive film pattern, it is preferred to add a rinsing process for the removal of natural oxide film residing on the above #1 conductive film pattern (120).

As shown in Fig. 5, the above element separating film pattern (130) exposed between the above #2 conductive film pattern (140) was dry etched, while using the above #2 conductive film pattern (140) as an etching protection, to form groove zone (150) recessed in the above element separating film pattern (130). In the etching of the above grooved zone (150), a recipe having a high etching selectivity on the basis of silicon was used.

The purpose of the above grooved zone (150) is to minimize the parasitic capacitance between the adjacent floating gates located below the word line, similar to that in the prior technology. The depth of the above grooved zone (150) is deeper the better. On the contrary, in the filling of the grooved zone (150), there is an optimum ratio between its width and length. Hence, it is required that the depth of the grooved zone (150) must be determined after the consideration of the above two factors. Preferably, the lower end of the above grooved zone (150) ought to be formed below the lower part of the above gate oxide film pattern (110).

The dry etching process to form the above grooved zone (150) can be carried out after the patterning process for the formation of the above conductive film pattern (140) in succession. I.e., the photoresist pattern (not shown in the figure) used to form #2 conductive film pattern (140) can be used as the masking in the formation of the above grooved zone (150).

As shown in Fig. 6, a gate interlayer insulating film and a control gate conductive film were sequentially formed on a semiconductor base having the above grooved zone (150). Subsequently, the control gate conductive film, the above gate interlayer insulating film, the above #2 conductive film pattern (140), and the above #1 conductive film pattern (130) were sequentially etched to form a gate pattern comprising control gate (170), gate interlayer insulating film pattern (160), upper floating gate (141), and lower floating gate (121), respectively.



The above gate patterning is a process that the patterning was formed in the perpendicular direction in relation to the above element separating film pattern (130). As a result, floating gate comprising (190) the above upper floating gate (141) and the lower floating gate (121) formed an island shape without any electrical connection. Also, the above floating gate (190), the above gate interlayer insulating film pattern (160), and the above control gate (170) constitute a gate pattern (200).

Fig. 7 is a perspective diagram showing a portion of another flash memory cell based on a preferred example of the invention.

As shown in Fig. 7, the element separating film pattern (130) formed on a semiconductor base (100) defines its active area and it is oriented in unidirectional manner. As a result, the above active area is oriented in the same direction as the element separating film pattern (130). The control gate (170) formed on the gate interlayer insulating film (160) and the above gate interlayer insulating pattern (160) is oriented perpendicular to the above element separating film pattern (130).

The above gate oxide film pattern (110) and the lower floating gate (121) were sequentially formed between the above element separating film pattern (130) and on the above active area. The above gate oxide film pattern (110) and the above lower floating gate (121) are formed in the zone where the gate interlayer insulating film pattern (160) and the above active area intersect each other. Also, the side walls of the above gate oxide film pattern (110) and the above lower floating gate (121) are in contact with the side wall of the above element separating film pattern (130).

The above floating gate (141) is covered by the lower end of the above gate interlayer insulating film pattern (160) and covers the upper floating gate (121) and a portion of the edge of the above element separating film pattern (130). The width of the above upper floating gate (141) is as the same as those of the above gate interlayer insulating film pattern (160) and the above control gate (170). Also, the above floating gate (141) is isolated from the same control gate (170) which is in contact with other upper floating gate (141).

Between the upper floating gates (141) and in the center of the top of the upper floating gate, a recess was formed and it becomes grooved area (150) in the center of the above element separating film pattern (130). The

grooved area (150) will be filled with the above gate interlayer insulating film pattern (160) and the above control gate (170). Preferably, the lower end of the above control gate (170) ought to be positioned below the lower end of the above lower floating gate (121). In order to attain this configuration, the lower end of the above grooved area (150) should be lower than the lower end of the gate oxide film pattern (110). The above grooved area (150) may be formed between the above control gates (170) and the existence of any conductive material is not preferred.

The above lower floating gate (121) and the above upper floating gate (141) form a floating gate (190), and preferably, the above floating gate (190) is formed from polysilicon. The above gate interlayer insulating film pattern (160) and the above control gate (170) constitute a gate pattern (200). Preferably, the above gate interlayer insulating film pattern (160) was formed from ONO film. And, preferably, the above control gate (170) was formed from sequential lamination from polysilicon and silicide.

To evaluate the performance of the invention cell, a computer simulation test was carried out. The simulation conditions for the conventional technology and this invention were the same with exception of grooved area (150) and the control gate (170), which fills the grooved area. Hence, as far as the interference effect of the potential of adjacent floating gate on the above grooved area (150) is concerned, the above grooved area (150) can be treated as an independent function.

The results of the simulation test showed that the parasitic capacitance caused by the adjacent floating gate located at the lower part of a control gate and the magnitude of the interference effect of the potential are  $1.36 \times 10^{-18}\text{F}$  and  $0.095\text{V}$ , respectively. But in the invention they were  $4.14 \times 10^{-19}\text{F}$  and  $0.030\text{V}$ , respectively. That is to say that the parasitic capacitance and the magnitude of the effect by the potential were reduced to about 1/3 in the invention. The above are resulted from the specified floating gate threshold potential of  $-3\text{V}$  to  $2.6\text{V}$  and it is the effect of the adjacent floating gate which is in the same word line.

#### Effect of the invention

According to the invention, the interference caused by potential developed between floating gates located on the lower end of a control gate could be

reduced. It resulted that a flash memory cell with highly layered configuration, yet stable characteristics can be manufactured.

(57) Scope of patent claims

Claim 1.

A flash memory cell construction method includes:

A step in which a gate oxide film pattern and #1 conductive film pattern are formed sequentially on a semiconductor base;

A step in which a trench zone is formed by etching of semiconductor base below the gap between the #1 conductive film patterns;

A step in which the above trench zone is filled and at least element separating film patterns is formed reaching to the top of the above #1 conductive film pattern;

A step in which #2 conductive film pattern is formed and it reaches to the entire surface of the above #1 conductive film pattern and edge of the above element separating film pattern adjoining with the above #1 conductive film patterns;

A step in which grooved zone is formed by etching the element separating film pattern located between the above #2 conductive film patterns;

A step in which a gate interlayer insulating film and a control gate conductive film are formed sequentially on the entire surface of the above grooved zone formed from the above step;

A step includes a control gate traversing the above element separating film pattern by a sequential patterning of the above control gate conductive film, the above gate interlayer insulating film, the above #2 conductive film pattern and the above #1 conductive film pattern, and sequential layering of lower floating gate and upper floating gate.

Claim 2.

In Claim 1, the flash memory cell construction method is characterized that in the above grooved zone forming, its lower end is below the lower end of the above gate oxide film pattern.

Claim 3.

In claim 1, the flash memory cell construction method is characterized that in the above grooved zone, at least, the lower end of the above control gate conductive film is located below the lower end of the adjacent #1 conductive film patterns.

Claim 4.

A flash memory cell is characterized that the cell constitutes:

An element separating film pattern located on a specified area on a semiconductor base and it defines active area;

A control gate traversing the above element separating film pattern and the upper part of the above active zone;

A lower floating gate and the upper floating gate existing between the above control gate and the above active area, and the width of the above lower floating gate of the same as that of the above active area and the width of the upper floating gate is wider than that of the above lower floating gate; and

It also includes grooved area formed by recessing of element separating film pattern locating below the lower end of the above control gate and between the adjacent upper floating gates, provided that the above control gates extend into the above grooved area.

Claim 5.

In Claim 4, a flash memory cell is characterized that at least the lower end of the above control gate is below the lower end of the adjacent lower floating gates.

Claim 6.

In Claim 4, a flash memory cell is characterized that additionally the cell includes a gate interlayer insulating film pattern having the same width of the above control gate and is in contact with the lower end of the above control gate.

Claim 7.

In Claim 4, the flash memory cell includes additionally includes a gate oxide film pattern located between the above lower floating gate and the above active area.

Fig. 1  
(Prior technology)

Fig. 2  
(Prior technology)

Fig. 3

**Fig. 4**

**Fig. 5**

**Fig. 6**

**Fig. 7**

## 명세서

## 도면의 간단한 설명

도 1은 종래 기술에 따른 플래시 메모리의 셀을 나타내는 사시도이다.

도 2는 또다른 종래 기술에 따른 플래시 메모리의 셀을 나타내는 단면도이다.

도 3 내지 도 6은 본 발명의 바람직한 실시예에 따른 플래시 메모리의 셀 형성방법을 나타내는 단면도들이다.

도 7은 본 발명의 바람직한 실시예에 따른 플래시 메모리의 셀을 나타내는 사시도이다.

## 발명의 상세한 설명

## 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 플래시 메모리의 셀 및 그 형성 방법에 관한 것이다.

플래시 메모리의 단위 셀은 활성영역 상에 차례로 형성된 게이트 산화막, 전기적으로 절연된 부유게이트, 워드라인을 구성하는 제어게이트 및 상기 부유게이트와 상기 제어게이트 사이에 개재된 게이트 충전절연막을 포함한다. 상기 플래시 메모리 셀은 상기 부유게이트에 Fowler-Nordheim tunneling 또는 channel hot carrier에 의해 전자를 주입하거나 상기 Fowler-Nordheim tunneling에 의해 전자를 빼내는 방식으로 상기 부유게이트의 전위를 변화시키는 동작원리를 가진다. 그런데 플래시 메모리가 점차 고집적화 됨에 따라 상기 부유게이트의 전위가 불필요한 영향을 받는 현상이 발생한다. 상기 불필요한 영향을 주는 원인에는 인접 제어게이트의 전압, 인접 제어게이트 하부의 부유게이트 전위, 같은 제어게이트 하부에 인접한 부유게이트 전위등이 있다. 특히 상기 같은 제어게이트 하부에 인접한 부유게이트 전위에 의한 특정 부유게이트 문턱전압에의 영향은 멀티레벨 셀(multi-level cell)의 경우 문제가 된다.

도 1은 종래 기술에 따른 플래시 메모리의 셀을 나타내는 사시도이다. 도 1을 참조하면, 반도체기판(10)에 활성영역을 한정하면서 일방향으로 형성된 소자분리막 패턴(40)이 배치된다. 수평적으로는 상기 소자분리막 패턴(40) 사이이며, 수직적으로는 상기 활성영역 상인 위치에 게이트산화막 패턴(20) 및 하부 부유게이트(30)가 차례로 배치된다. 상기 소자분리막 패턴(40)에 직교하는 게이트 충전절연막 패턴(60) 및 제어게이트(70)가 상기 소자분리막 패턴(40) 및 상기 하부 부유게이트(30) 상부에 형성된다. 상기 게이트 충전절연막 패턴(60) 및 상기 하부 부유게이트(30) 사이에는 상기 하부 부유게이트(30)의 전면 및 상기 소자분리막 패턴(40)의 가장자리 상부면을 덮는 상부 부유게이트(50)가 개재된다. 여기서 상부 부유게이트(50) 및 하부 부유게이트(30)는 부유게이트를 구성한다. 평면적으로 볼때, 상기 부유게이트는 사각형의 섬의 형태를 갖는다.

상기 구조체를 포함하는 플래시 메모리에 있어서, 특정 부유게이트의 문턱전압( $V_{th}$ )이 -3V에서 2.6V로 변할 경우, 같은 워드라인 아래에 위치하면서 상기 특정 부유게이트와 인접한 부유게이트의 문턱전압의 변화는 시뮬레이션 결과 0.095V이다. 멀티레벨 셀의 경우 셀에 저장된 정보를 구분하기 위한 셀 준위의 폭 및 간격이 좁기때문에, 상기과 같은 간섭의 크기는 멀티레벨 셀의 제조에서 피해야할 문제점으로 대두된다.

도 2는 상기 문제점을 해결하기위해 또다른 종래기술에서 제시된 플래시 메모리의 셀을 나타내는 단면도이다. 도 2를 참조하면, 상기 도 1의 셀에 비해 부유게이트(31)는 수직인 측면을 가지며 동시에 제어게이트(61)의 측면하부가 게이

트 산화막(21) 하부의 반도체기판에 인접하는 특징을 가진다. 즉 소자분리막 패턴(41)의 상부면은 상기 게이트 산화막(21)의 하부면보다 낮다. 또한 반도체기판(11) 및 상기 제어게이트(61) 사이에는 게이트충간절연막(51)만이 개재되는 영역(99)이 형성된다. 그 결과, 서로 이웃하는 부유게이트들 사이의 기생 커패시턴스(parasitic capacitance)를 최소화시키는 장점을 가진다.

하지만 상기 영역(99)은 상기 제어게이트(61)와 상기 반도체기판(11)에 인가해준 전압의 차이로 인해 쉽게 손상되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 서로 이웃하는 부유게이트들 사이의 기생 커패시턴스를 최소화시키는 플래시 메모리의 셀을 제공하는데 있다.

본 발명이 이루고자 하는 또다른 기술적 과제는 서로 이웃하는 부유게이트들 사이의 소자분리막을 리세스시켜 부유게이트들 사이의 기생 커패시턴스를 최소화시킬 수 있는 플래시 메모리의 셀 형성 방법을 제공하는데 있다.

발명의 구성 및 작용

상기한 기술적 과제를 달성하기 위하여, 본 발명은 플래시 메모리의 셀을 제공한다. 이 셀은 반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막 패턴, 상기 소자분리막 패턴 및 상기 활성영역의 상부를 가로지르는 제어게이트, 상기 제어게이트 및 상기 활성영역 사이에 개재되고 차례로 적층된 하부 부유게이트 및 상부 부유게이트로 구성되는 부유게이트 및 적어도 상기 제어게이트 아래에 위치하면서 서로 이웃하는 상부 부유게이트들 사이의 소자분리막 패턴이 리세스되어 형성된 오목영역을 포함한다. 상기 하부 부유게이트는 상기 활성영역과 동일한 폭을 갖고, 상기 상부 부유게이트는 상기 하부 부유게이트보다 넓은 폭을 갖는다. 상기 제어게이트는 상기 오목영역 내부까지 연장된 것을 특징으로 한다.

상기 제어게이트의 하부면은 적어도 인접한 상기 하부 부유게이트의 하부면보다 낮은 것이 바람직하다.

상기한 또다른 기술적 과제를 달성하기 위하여, 본 발명은 소자분리막 패턴을 리세스하여 오목영역을 형성하는 플래시 메모리의 셀 형성방법을 제공한다. 이 방법은 반도체기판 상에 차례로 적층된 게이트 산화막 패턴 및 제 1 도전막 패턴을 형성하고, 상기 제 1 도전막 패턴들 사이의 갭 영역 아래의 반도체기판을 식각하여 활성영역을 한정하는 트렌치 영역을 형성하고, 상기 트렌치 영역을 채우고 적어도 상기 제 1 도전막 패턴의 상부면까지 연장된 소자분리막 패턴을 형성하고, 상기 제 1 도전막 패턴의 전면 및 상기 제 1 도전막 패턴과 인접한 상기 소자분리막 패턴의 가장자리를 덮는 제 2 도전막 패턴을 형성하고, 상기 제 2 도전막 패턴 사이의 소자분리막 패턴을 식각하여 오목영역을 형성하고, 상기 오목영역이 형성된 결과물 전면에서 게이트 충간절연막 및 제어게이트 도전막을 차례로 형성한 후, 상기 제어게이트 도전막, 상기 게이트 충간절연막, 상기 제 2 도전막 패턴 및 상기 제 1 도전막 패턴을 연속적으로 패터닝하여 상기 소자분리막 패턴을 가로지르는 제어게이트, 상기 제어게이트와 상기 활성영역 사이에 차례로 적층된 하부 부유게이트 및 상부 부유게이트를 형성하는 단계를 포함한다.

상기 오목영역을 채우는 제어게이트의 하부면은 적어도 상기 제 1 도전막 패턴의 하부면보다 낮도록 형성하는 것이 바람직하다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이



철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

도 3 내지 도 6은 본 발명의 바람직한 실시예에 따른 플래시 메모리의 셀 형성방법을 나타내는 단면도들이다.

도 3을 참조하면, 반도체 기판(100) 상에 차례로 적층된 게이트산화막, 제 1 도전막을 형성한다. 상기 제 1 도전막 상에 연마저지막을 더 형성하는 것이 바람직하다. 상기 연마저지막 및 제 1 도전막을 패터닝하여 연마저지막 패턴(도시하지 않음) 및 제 1 도전막 패턴(120)을 형성한다. 그 결과, 상기 제 1 도전막 패턴(120) 사이에서 상기 게이트 산화막의 상부면은 노출된다. 이후, 상기 연마저지막 패턴을 식각마스크로 사용하여 상기 게이트산화막 및 반도체기판(100)을 식각함으로써, 게이트산화막 패턴(110) 및 트렌치 영역을 형성한다.

상기 트렌치 영역을 포함하는 반도체기판 상에 소자분리막을 형성한 후, 전면식각하여 소자분리막 패턴(130)을 형성한다. 상기 전면식각의 방법은 CMP의 방법이 바람직하며, 또한 상기 연마저지막을 식각정지막으로 사용하는 것이 바람직하다. 또한 상기 연마저지막은 상기 소자분리막 패턴(130) 형성 후 제거하는 것이 바람직하다. 그 결과 상기 소자분리막 패턴(130)은 상기 트렌치 영역을 채우는 동시에 적어도 상기 제 1 도전막 패턴(120)의 상부면까지 연장된다.

상기 게이트산화막 패턴(110)은 열산화막으로 형성하는 것이 바람직하고, 상기 제 1 도전막 패턴(120)은 폴리실리콘으로 형성하는 것이 바람직하고, 상기 소자분리막 패턴(130)은 CVD 방식으로 증착되는 산화막인 것이 바람직하다. 또한 상기 연마저지막은 실리콘 질화막으로 형성하는 것이 바람직하다.

도 4를 참조하면, 상기 결과물 상에 제 2 도전막을 형성하고, 건식식각을 통해 상기 제 1 도전막 패턴(120)을 덮는 제 2 도전막 패턴(140)을 형성한다. 이에 더하여, 상기 제 2 도전막 패턴(150)은 상기 소자분리막 패턴(130)의 가장자리 상부면을 덮도록 형성한다.

상기 제 2 도전막 패턴(140)은 상기 제 1 도전막 패턴(120)과 동일한 물질, 즉 폴리실리콘으로 형성하는 것이 바람직하다. 또한 상기 제 2 도전막 형성 전에, 상기 제 1 도전막 패턴(120) 상부에 잔존하는 자연산화막을 제거하기 위한 세정공정을 추가하는 것이 바람직하다.

도 5를 참조하면, 상기 제 2 도전막 패턴(140)을 식각마스크로 사용하여 상기 제 2 도전막 패턴(140) 사이에 노출된 상기 소자분리막 패턴(130)을 건식식각함으로써, 상기 소자분리막 패턴(130)이 리세스된 오목영역(150)을 형성한다. 상기 오목영역(150) 형성을 위한 식각은 실리콘에 대해 높은 식각선택비를 가지는 레시프를 사용하여 진행하는 것이 바람직하다.

상기 오목영역(150)은 종래 기술에서 발생하는 같은 워드라인 아래에 위치하는 인접 부유게이트 사이의 기생 커패시턴스를 최소화하기 위한 목적이므로, 상기 오목영역(150)의 깊이는 깊을수록 바람직하다. 반면, 상기 오목영역(150)의 매립을 위해서는 적당한 중형비를 유지시킬 필요가 있다. 결국 상기 오목영역(150)의 깊이는 상기 두가지 요인을 고려하여 결정되는 것이 요구된다. 바람직하게는 상기 오목영역(150)의 하부면이 상기 게이트산화막 패턴(110)의 하부면보다 낮도록 형성한다.

상기 오목영역(150)을 형성하기 위한 건식식각 공정은 상기 제 2 도전막 패턴(140)을 형성하는 패터닝에 이어서 연속적으로 실시될 수도 있다. 즉 제 2 도전막 패턴(140) 형성을 위한 포토레지스트 패턴(도시하지 않음)을 상기 오목영역(150) 형성을 위한 식각마스크로 계속 사용할 수도 있다.

도 6을 참조하면, 상기 오목영역(150)을 포함하는 반도체기판 상에 게이트 층간절연막 및 제어게이트 도전막을 차례로 형성한다. 그후 상기 제어게이트 도전막, 상기 게이트 층간절연막, 상기 제 2 도전막 패턴(140) 및 상기 제 1 도전막 패턴(130)을 차례로 식각하여, 각각 제어게이트(170), 게이트 층간절연막 패턴(160), 상부 부유게이트(141) 및 하부 부유게이트(121)를 형성하는 게이트 패턴을 실시한다.

상기 게이트 패턴은 상기 소자분리막 패턴(130)에 수직하는 방향으로 패턴을 형성하는 과정이다. 그 결과, 상기 상부 부유게이트(141) 및 하부 부유게이트(121)로 이루어진 부유게이트(190)는 전기적으로 절연된 섬형태가 된다. 또한 상기 부유게이트(190), 상기 게이트 층간절연막 패턴(160) 및 상기 제어게이트(170)는 게이트 패턴(200)을 구성한다.

도 7은 본 발명의 바람직한 실시예에 따른 플래시 메모리의 셀 영역의 일부를 나타내는 사시도이다.

도 7을 참조하면, 반도체기판(100) 상에 형성되는 소자분리막 패턴(130)은 활성영역을 한정하면서 일방향으로 배치된다. 그 결과 상기 활성영역은 상기 소자분리막 패턴(130)과 같은 방향을 갖는다. 게이트 층간절연막 패턴(160) 및 상기 게이트 층간절연막 패턴(160) 상에 적층된 제어게이트(170)는 상기 소자분리막 패턴(130)에 수직한 방향으로 배치된다.

상기 소자분리막 패턴(130) 사이이면서, 상기 활성영역 상에 게이트산화막 패턴(110) 및 하부 부유게이트(121)가 차례로 배치된다. 상기 게이트산화막 패턴(110) 및 상기 하부 부유게이트(121)는 상기 게이트 층간절연막 패턴(160) 및 상기 활성영역이 교차하는 영역에 한정되어 형성된다. 또한 상기 게이트산화막 패턴(110) 및 상기 하부 부유게이트(121)의 측벽은 상기 소자분리막 패턴(130)의 측벽과 접촉한다.

상부 부유게이트(141)는 상기 게이트 층간절연막 패턴(160)의 하부면에 의해 덮히면서 상기 하부 부유게이트(121) 및 상기 소자분리막 패턴(130)의 가장자리 일부를 덮는다. 상기 상부 부유게이트(141)는 상기 게이트 층간절연막 패턴(160) 및 상기 제어게이트(170)와 동일한 폭을 가진다. 또한 상기 상부 부유게이트(141)는 동일한 제어게이트(170) 하부의 인접한 또다른 상부 부유게이트(141)와는 이격된다.

상기 상부 부유게이트(141) 사이에는 상기 소자분리막 패턴(130) 상부면의 중심부가 리세스된 오목영역(150)이 형성된다. 상기 오목영역(150)은 상기 게이트 층간절연막 패턴(160) 및 상기 제어게이트(170)에 의해 채워진다. 상기 제어게이트(170)의 하부면은 상기 하부 부유게이트(121)의 하부면보다 낮은 것이 바람직하다. 이를 위해 상기 오목영역(150)의 하부면은 상기 게이트산화막 패턴(110)의 하부면보다 낮은 것이 바람직하다. 상기 오목영역(150)은 상기 제어게이트(170)들 사이에서도 형성될 수 있지만, 아 경우 도전성 물질이 개재되지 않는 것이 바람직하다.

상기 하부 부유게이트(121) 및 상기 상부 부유게이트(141)는 부유게이트 (190)를 구성하고, 상기 부유게이트(190)는 폴리실리콘으로 형성되는 것이 바람직하다. 또한 상기 부유게이트(190), 상기 게이트층간절연막 패턴(160) 및 상기 제어게이트(170)은 게이트 패턴(200)을 형성한다. 상기 게이트층간절연막 패턴(160)은 ONO 막으로 형성되는 것이 바람직하고, 상기 제어게이트(170)는 차례로 적층된 폴리실리콘 및 실리사이드로 형성되는 것이 바람직하다.

본 발명에 따른 셀의 효과를 검증하기 위해 컴퓨터 시뮬레이션을 실시하였다. 시뮬레이션의 조건은 종래 기술과 본 발명의 경우 상기 오목영역(150)과 그것을 채우는 제어게이트(170)만 다를 뿐 다른 요소들은 동일하다. 따라서 상기 오목영역(150)의 형성이 특정 부유게이트에 대한 인접한 부유게이트의 전위가 미치는 간섭의 영향을 상기 오목영역(150)만을 독립변수로 하여 판단할 수 있다.

그 시뮬레이션의 결과, 동일한 제어게이트의 하부에 서로 이웃하는 부유게이트에 의한 기생 커패시턴스 및 전위 간섭의 크기는 종래기술의 경우 각각  $1.36 \times 10^{-18}$  F 및 0.095V 였으나, 본 발명의 경우 각각  $4.14 \times 10^{-19}$  F 및 0.030 V 였다. 즉 기생 커패시턴스 및 전위 간섭의 크기 모두 1/3 정도의 감소효과를 나타내었다. 상기 결과는 특정 부유게이트의 문턱전압의 크기가 -3V에서 2.6V로 변환 경우, 같은 워드라인 내의 인접한 부유게이트에 대한 영향이다.

## 발명의 효과

본 발명에 따르면, 동일한 제어게이트의 하부에 위치하는 인접한 부유게이트들 사이의 전위 간섭을 줄일 수 있다. 그 결과 고집적화되면서도 안정적인 동작 특성을 갖는 플래시 메모리를 생산할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

반도체기판 상에 차례로 적층된 게이트 산화막 패턴 및 제 1 도전막 패턴을 형성하는 단계;

상기 제 1 도전막 패턴들 사이의 갭 영역 아래의 반도체기판을 식각하여 활성영역을 한정하는 트렌치 영역을 형성하는 단계;

상기 트렌치 영역을 채우고, 적어도 상기 제 1 도전막 패턴의 상부면까지 연장된 소자분리막 패턴을 형성하는 단계;

상기 제 1 도전막 패턴의 전면 및 상기 제 1 도전막 패턴과 인접한 상기 소자분리막 패턴의 가장자리를 덮는 제 2 도전막 패턴을 형성하는 단계;

상기 제 2 도전막 패턴 사이의 소자분리막 패턴을 식각하여 오목영역을 형성하는 단계;

상기 오목영역이 형성된 결과물 전면에서 게이트 층간절연막 및 제어게이트 도전막을 차례로 형성하는 단계; 및

상기 제어게이트 도전막, 상기 게이트 층간절연막, 상기 제 2 도전막 패턴 및 상기 제 1 도전막 패턴을 연속적으로 패터닝하여 상기 소자분리막 패턴을 가로지르는 제어게이트, 상기 제어게이트와 상기 활성영역 사이에 차례로 적층된 하부 부유게이트 및 상부 부유게이트를 형성하는 단계를 포함하는 플래시 메모리 셀 형성방법.

#### 청구항 2.

제 1 항에 있어서,

상기 오목영역은 적어도 그 하부면이 상기 게이트 산화막 패턴의 하부면보다 낮게 형성하는 것을 특징으로 하는 플래시 메모리의 셀 형성방법.

#### 청구항 3.

제 1 항에 있어서,

상기 오목영역에서 상기 제어게이트 도전막의 하부면은 적어도 인접한 상기 제 1 도전막 패턴의 하부면보다 낮게 형성하는 것을 특징으로 하는 플래시 메모리의 셀 형성방법.

#### 청구항 4.

반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막 패턴;

상기 소자분리막 패턴 및 상기 활성영역의 상부를 가로지르는 제어게이트;

상기 제어게이트 및 상기 활성영역 사이에 개재되고 차례로 적층된 하부 부유게이트 및 상부 부유게이트로 구성되며, 상기 하부 부유게이트는 상기 활성영역과 동일한 폭을 갖고 상기 상부 부유게이트는 상기 하부 부유게이트보다 넓은 폭을 갖는 부유게이트; 및

적어도 상기 제어게이트 아래에 위치하면서 서로 이웃하는 상부 부유게이트들 사이의 소자분리막 패턴이 리세스되어 형성된 오목영역을 포함하되, 상기 제어게이트는 상기 오목영역 내부까지 연장된 것을 특징으로 하는 플래시 메모리 셀.

청구항 5.

제 4 항에 있어서,

상기 제어게이트의 하부면은 적어도 인접한 상기 하부 부유게이트의 하부면보다 낮은 것을 특징으로 하는 플래시 메모리 셀.

청구항 6.

제 4 항에 있어서,

상기 제어게이트와 동일한 폭을 가지면서 상기 제어게이트의 하부면에 접촉하는 게이트 층간절연막 패턴을 더 포함하는 플래시 메모리 셀.

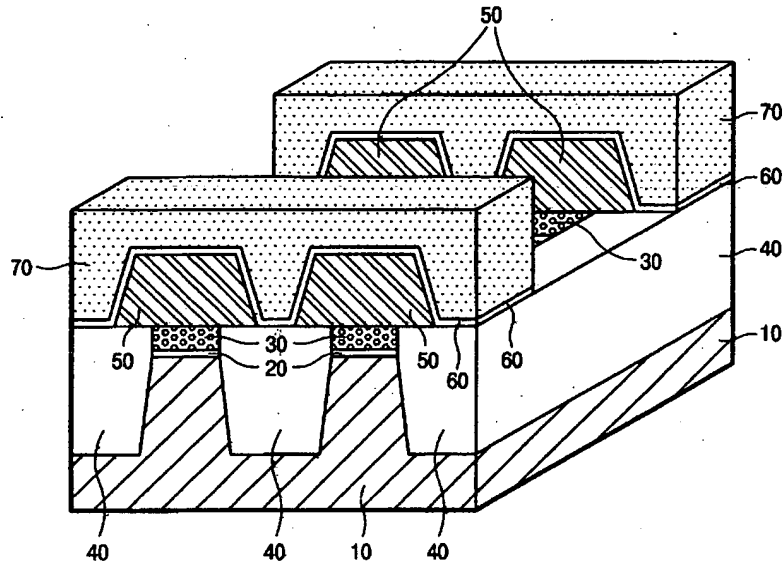
청구항 7.

제 4 항에 있어서,

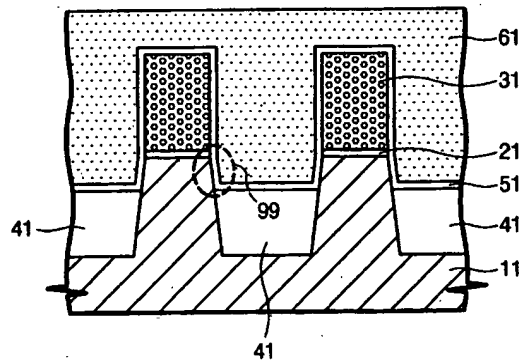
상기 하부 부유게이트 및 상기 활성영역 사이에 개재되는 게이트산화막 패턴을 더 포함하는 플래시 메모리 셀.

도면

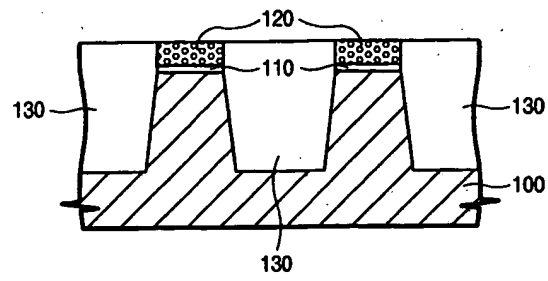
도면 1  
(종래 기술)



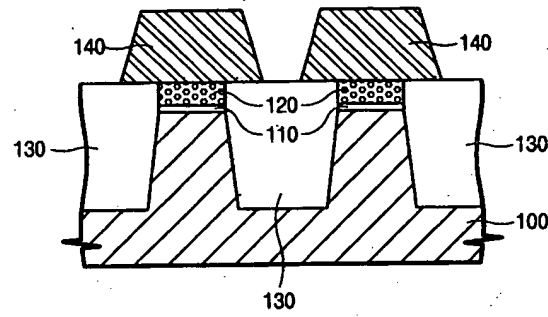
도면 2  
(종래 기술)



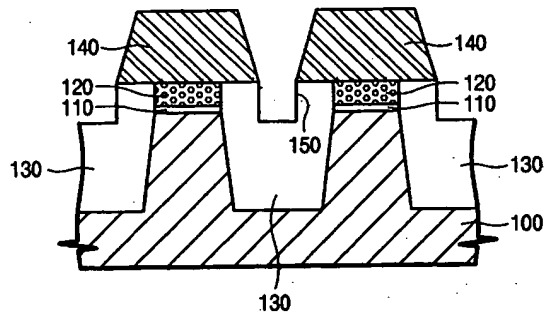
도면 3



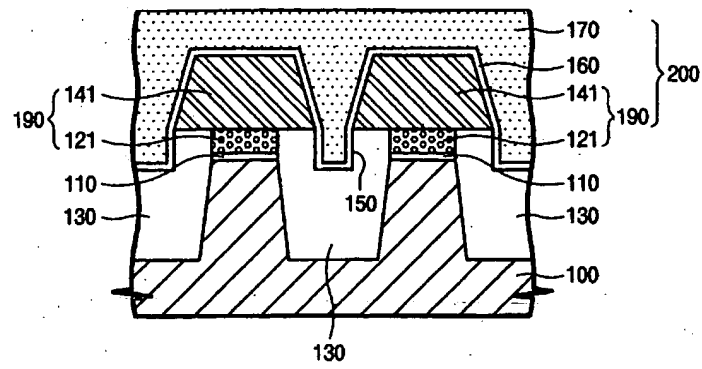
도면 4



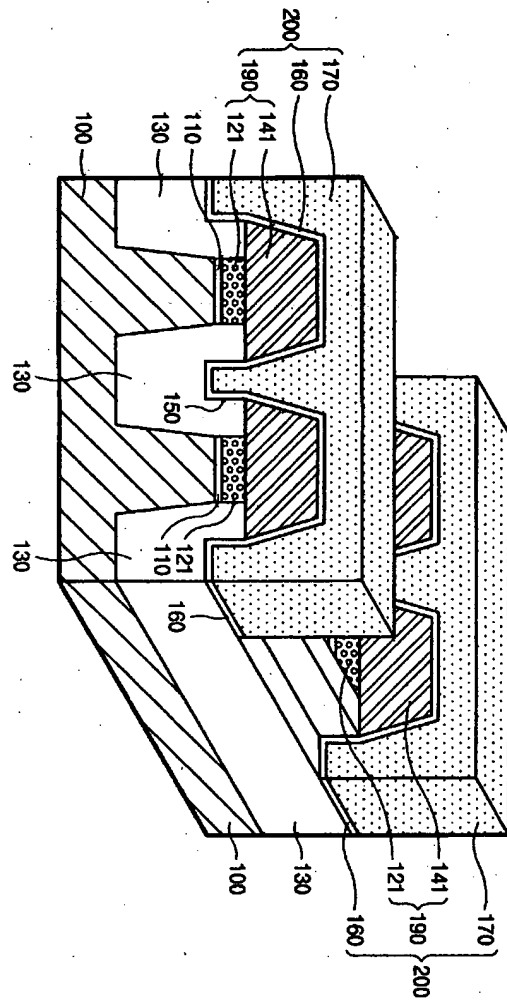
도면 5



도면 6



도면 7.





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**